

공고특허90-001226

(19)대한민국특허청(KR)
(12) 특허공보(B1)(51) Int. Cl. 5
H01L 27/108
H01L 27/10(45) 공고일자 1990년03월05일
(11) 공고번호 90-001226
(24) 등록일자

(21) 출원번호	특1986-0002358	(65) 공개번호	특1986-0007747
(22) 출원일자	1986년03월28일	(43) 공개일자	1986년10월17일
(30) 우선권주장	60-66757 1985년03월30일 일본(JP) 60-194695 1985년09월03일 일본(JP)		
(73) 특허권자	가부시끼가이샤 도오시바 사바 쇼오이찌 일본국 가나가와켄 가와사끼시 사이와이구 호리가와쵸오 72반지 도오시바 마이크로-컴퓨터 엔지니어링 가부시끼가이샤 야마모토 히로시 일본국 가나가와켄 가와사끼시 가와사끼구 히가시다쵸오 2반지 11고		
(72) 발명자	후루야마 도오루 일본국 가나가와켄 가와사끼시 사이와이구 고무가이도오시 바쵸오 1가부시끼가이 샤 도오시바 종합연구소내 와타나베 시게요시 일본국 가나가와켄 가와사끼시 사이와이구 고무가이도오시 바쵸오 1가부시끼가이 샤 도오시바 종합연구소내 이카와 다쯔오 일본국 가나가와켄 가와사끼시 가와사끼 구히가시다쵸오 2반지 11고 도오시바 마 이크로-컴퓨터 엔지니어링 가부시끼 가이샤내		
(74) 대리인	김윤배		

심사관 : 유환열 (책자공보 제1781호)

(54) 다이내믹형 반도체기억장치

요약

내용 없음.

명세서

[발명의 명칭]다이내믹형 반도체기억장치[도면의 간단한 설명]제1a, b도는 종형 캐패시터 셀을 포함하는 종래 반도체기억장치의 일부 평면패턴과 단면을 나타낸 도면.

제2a, b도는 주름형 비트선 구성에 적합한 종래 반도체기억장치의 평면패턴과 단면을 나타낸 도면.

제3a, b도는 주름형 캐패시터 셀을 포함하는 종래 반도체 기억장치의 평면패턴 및 단면을 나타낸 도면.

제4a~d도는 제3a, b도에 도시된 반도체기억장치의 제조공정을 나타낸 도면.

제5도는 제3a, b도에 도시된 반도체기억장치에 일부구조를 상세히 나타낸 도면.

제6a, b도는 본 발명의 1실시에에 따른 종형 캐패시터 셀을 포함하는 반도체기억장치의 평면패턴 및 단면을 나타낸 도면.

제7도 및 제8도는 제6a, b도에 도시된 반도체기억장치의 회로결속도.

제9도는 종래장치와 본 발명에 따른 장치간의 점유면적비를 나타낸 그래프.

제10a, b도는 주름형 메모리 셀을 구비하여서 된 본 발명의 다른 실시예에 관한 평면패턴과 단면구조를 나타낸 도면.

제11도는 제10a, b도에 도시된 실시예중 메모리셀과 비트선 및 감지증폭기의 상호 배치관계를 나타낸 회로접속도.

제12도는 제10b도에 도시된 실시예의 변형예.

제13도는 제11도에 도시된 접속도의 변형예.

제14도는 제7도에 도시된 접속도의 변형예를 각각 나타낸 도면이다.

* 도면의 주요부분에 대한 부호의 설명1, 21, 31 : 반도체기판 2 : 도랑3, 10 : 소자분리영역 4, 23 : 반도체영역5, 24 : 절연막 6, 25 : 워드선7 : 다결정실리콘층 8, 27 : 비트선9 : 접속영역 26, 39 : 캐패시터전극28 : 접속부 34 : 접속공33 : 캐패시터영역 35 : P⁺형 불순물영역36, 38 : 산화막 37 : n⁻형 불순물영역40, 41 : 층간절연막 61 : 교차영역[발명의 상세한 설명]본 발명은 고밀도로 집적시킬 수 있도록 된 다이내믹형 반도체기억장치에 관한 것이다.

1개의 MOS트랜지스터와 1개의 캐패시터로 형성되는 소위 1트랜지스터형 메모리셀은 그 점유면적이 작기 때문에 고밀도(고집적화)의 반도체기억장치를 제조하는 경우에 적합하게 이용되고 있는 바, 구체적으로는 다이내믹 랜덤 액세스 메모리(DRAM)을 상기 캐패시터 셀중에서 중형 캐패시터 셀은 1984년 VLSI기술 심포지움의 기술요약집 16페이지에서 T.후루야마씨와 J.프레이씨에 의해 "VLSI DRAM을 위한 중형 캐패시터"로서 발표된 바 있고, 주름형 캐패시터 셀은 1984년 IDEM에서 와다씨 등에 의해 "장래의 메가비트급 DRAM을 위한 주름형 캐패시터"로서 발표된 바 있으며, 도랑형 캐패시터 셀은 1984년의 국제 고체회로회의에서 발표된 바 있다. 여기서 도랑형 캐패시터 셀은 캐패시터 영역의 중앙부에다 웨이퍼에 대해 수직적으로 폭이 좁은 도랑을 파고, 이 도랑의 서로 대향되는 측면부위를 이용하여 형성시킨 캐패시터에 전하를 축적할 수 있도록 하므로써 신호전하량을 증대시킬 수 있도록 된 것인데 반하여, 중형 캐패시터 셀은 웨이퍼의 소자분리영역에 상당하는 위치에다 도랑을 파고, 이 도랑의 바닥부분에 절연영역을 형성시켜서 서로 대향되는 측벽을 상호 분리시키되, 서로 대향되는 측벽의 일부분을 이용하여 형성시킨 캐패시터에 전하를 저장할 수 있도록 된 것이다.

상기와 같은 세가지 종류의 캐패시터 셀은 작은 셀 점유면적으로 큰 용량의 캐패시터를 얻을 수 있게 된 것이므로 고집적화에 적합하다 하겠다.

제1a도는 상기와 같은 중형 캐패시터를 구비한 종래 기억장치의 평면패턴 일부를 모식적으로 나타낸 것이고, 제1b도는 제1a도에 도시된 평면도의 A-A선 절단 단면도로서, 이 기억장치는 P형의 반도체기판(1)과, 반도체기판(1)내에 형성된 도랑(2), 이 도랑, 상기 도랑(2)내에는 다결정실리콘층(7)이 형성되어있고, 절연막(5)상에는 워드선(6)과 직교하는 방향으로 비트선(8)이 형성되는데 그 일부는 접속영역(9)에 의해서 n형 반도체영역(4)중 MOS트랜지스터의 일단(드레인)이 되는 부분에 접속된다.

상기한 비트선(8)의 재료로는 실리사이드나 폴리사이드, 고용점금속 및 알루미늄같은 것이 이용되고, 소자분리영역(10)은 2산화실리콘을 매립하여서 형성된다. 한편, 도면중의 일점쇄선으로 둘러싸여 사선처진 영역은 1개의 메모리셀 영역을 나타낸다.

제1a도와 제1b도로 알 수 있는 것처럼, 종래의 중형 캐패시터 셀의 평면형상 및 구조는 비트선(8)을 개방시켜서 구성되는 기억장치를 구현하기에 적합한 것으로 되어있는데, 여기서 개방형 비트선을 구성한다는 것은 쌍을 이루는 비트선이 감지증폭기(sense amp.)를 매개하여 서로 반대방향으로 연장되도록 배치한다는 것을 뜻한다. 이에 반해서 주름형 비트선(folded bit line)을 구성한다는 것은 쌍을 이루는 비트선을 인접시키거나 근접시켜서 병행배치하고, 이 비트선쌍의 일단에 감지증폭기를 결합시킨다는 것을 뜻한다.

제2a도는 상기한 주름형 비트선으로 구성되어 현재 시판되고 있는 다이내믹 랜덤 액세스 메모리(DRAM)에 많이 사용되고 있는 메모리셀의 평면패턴을 나타낸 도면으로, 제2b도에는 제2a도의 B-B선 절단 단면도가 도시되어 있는 바, 메모리셀은 p형 반도체기판(21)과, 기판(21)의 표면영역에 형성된 n형 반도체영역(23), 기판(21)의 표면에 형성된 절연막(24), 이 절연막(24)속에 형성된 MOS트랜지스터의 게이트전극 겸용 워드선(25)과 캐패시터전극(26), 절연막(24)상에서 상기 워드선(25)에 직교하는 방향으로 형성된 비트선(27)을 포함하여 구성된다. 여기서 비트선(27)은 그 일부가 접속부(28)에 의해 n형 반도체영역(23)중 MOS트랜지스터의 일단이 되는 부분에 접속되고, 또한 캐패시터전

국(26)은 제2a도중 사선처진 캐패시터영역에 있어서 기판(21)의 표면영역에 형성된 n형 영역(도시되지 않았음)과 공동으로 캐패시터를 구성한다.

이상의 제2a, b도에서 알 수 있는 것처럼, 종래의 주름형 비트선을 형성시킴에 있어서는 메모리셀 1개당 2개의 워드선(25)을 동일한 절연막(24)내에 종방향으로 나란히 배선해야만 하였고, 이점에서 비트선 방향으로 메모리셀의 핏치가 작은 중형 캐패시터 셀을 주름형 비트선이 채택된 기억장치에 채용한다는 것은 적합치 않다고 여겨져 왔다.

제3a도는 주름형 캐패시터 셀을 구비한 DRAM의 일부 평면패턴을 나타낸 것이고, 제3b도는 제3a도의 C-C선 절단 단면도인데, 이러한 DRAM에 있어서는 예컨대 p형 실리콘으로 이루어진 반도체기판(31)상에다가 워드선(WL₁, WL₂, ..., WL_g)이 세로로 배열되고 또한 비트선(BL₁ ~ BL₄)이 가로로 배열되어져 있다. 이들 워드선(WL

₁ ~ WL_g)과 비트선(BL₁ ~ BL₄)의 교점에 대응되는 위치에는 2점쇄선으로 둘러싸인 영역(32)에 형성되는 MOS트랜지스터가 형성되어 있고, 일점쇄선으로 둘러싸인 사선영역(33)에는 MOS상기 MOS트랜지스터의 소오스영역은 데이터선의 방향에 인접하는 MOS캐패시터에 접속되고, MOS트랜지스터의 드레인영역은 접속공(34)을 통해서 비트선(BL₁ ~ BL₄)중의 하나에 접속되어 있다.

한편, 제3b도에서 알 수 있듯이, 반도체기판(31)상의 각 비트선(BL₁ ~ BL₄)의 사이에 있는 메모리셀 분리영역에는 도랑(GV₁ ~ GV₃)이 형성되어 있고, 이들도랑(GV₁ ~ GV₃)의 바닥에는 P⁺형 불순물영역(35)이 퇴적되어 있는 바, 이러한 도랑(GV₁ ~ GV₃)에 의해서 제3a도의 굵은선으로 둘러싸인 메모리셀 영역이 다른 영역에 대해 상대적으로



형상으로 되어있다. 한편, 캐패시터영역(33)에 있어서는 반도체기판(31)의



부상면 및 측면에는 n-형 불순물영역(37)이 형성되어 있는데, 이 n-형 불순물영역(37)상에는 산화막(38)을 매개하여 다결정실리콘으로 이루어진 캐패시터전극(39)이 형성되어 MOS캐패시터를 구성한다.

다음에는 상기한 구조로 된 DRAM의 제조방법을 제4a도~제4d도에 의거 상세히 설명한다.

우선, 저항치가 약 10Ω/Cm인 p형 실리콘으로 이루어진 반도체기판(31)에 반응성 이온�칭법으로 제4a도에 도시된 것과 같이 도랑(GV₁ ~ GV₃)을 형성시키고, 이 도랑(GV₁ ~ GV₃)의 바닥에 이온주입법으로 붕소이온을 주입해서 P⁺형 불순물 영역(35)다음에는 전면적으로 산화막(36)을 퇴적시켜서 도랑내부를 매립한 후 산화막(36)에 대한 �칭을 실시해서, 제4b도에 도시된 것처럼, 도랑(GV₁ ~ GV₃)의 사이사이에 있는 반도체기판(31)의



부 상면을 노출시킨다. 그 다음에는 사진식각공정(PEP)으로 캐패시터영역(33)에 대한 패턴닝을 행한 후 반응성 이온 �칭법으로 제4c도처럼 캐패시터영역(33)에 관한 도랑(GV

₁ ~ GV₃)의 산화막(36)을 선택적으로 �칭해서 제거한다. 이로써 캐패시터영역(33)에 관한 반도체기판(31)의



부영역중 일부 상면과 측면이 노출된다. 이렇게 노출된



부의 상면과 측면에는 이온주입법으로 비소이온(As)을 주입해서 n-형 불순물영역(37)을 형성시킨 후에, 제4d도처럼 상기 n-형 불순물영역(37)의 표면에 열산화법으로 산화막(38)을 형성시키는 한편, 산화막(38)의 위에는 다결정실리콘으로 이루어진 캐패시터전극(39)을 형성시킨다.

캐패시터영역(33)의 일부분이 도랑(GV₁ ~ GV₃)의 내부에 매립되어진 MOS캐패시터가 형성되어 진다.

한편, 캐패시터전극(39)상에는 제3b도처럼 층간절연막(40)을 형성시키고, 캐패시터영역(33)을 제외한 메모리셀 영역의

BEST AVAILABLE COPY



부영역에는 게이트 산화물을 형성시킨다. 그리고 층간절연막(40) 및 게이트산화막상에는 다결정실리콘으로 이루어진 워드선(WL)

$1 \sim WL_8$ 을 형성시키고 메모리셀영역(32)에 이온주입법으로 소오스, 드레인영역을 형성시키므로써 MOS트랜지스터가 형성된다. 그후 전면적으로 층간절연막(41)을 형성시킨 다음에 소정의 장소에 접속공(34)을 마련하고, 알루미늄으로 이루어진 비트

제5도에는 상기와 같은 구조로 된 DRAM중 1개의 메모리셀에 관한 일부단면을 포함하는 사시도가 도시되어 있는 바, 반도체기판(31)에 형성시킨 도랑(GV)의 폭은 도랑(GV)내에 매립된 캐패시터전극(39)의 두께(a)와 도랑(GV)내에 퇴적된 산화물막(36)상에 연장된 캐패시터전극(39)의 길이(b) 및 캐패시터전극(39)와 MOS트랜지스터(TR)가 형성되어 있는 메모리셀 영역간의 간격(c)의 합으로 되어있다. 만약 $0.8\mu m$ 규칙을 이용해서 DRAM을 제조하는 경우에는,

$$a=0.4\mu m$$

$$b=0.3\mu m$$

$$c=0.3\mu m$$

이 각각 필요하게 되므로, 도랑(GV)의 폭 $a+b+c$ 는 $1.0\mu m$ 이 된다. 이때 도랑(GV)내에 매립된 캐패시터전극(39)과 MOS트랜지스터(TR)가 형성된 메모리셀영역(32)간에 있는 산화막(36)의 두께 $b+c$ 는 $0.6\mu m$ 이 된다.

그런데, $0.6\mu m$ 정도인 두께에서는 캐패시터전극(39)의 전위에 의해 메모리셀 영역(32)의 도랑(GV)에 접하는 측면부(B)가 반전되는 현상이 일어난다. 즉 도랑(GV)내의 캐패시터전극(39)을 게이트전극으로 하고, 도랑(GV)내의 산화막(38)을 게이트 산화막으로 하며, 메모리셀 영역의 MOS트랜지스터(TR)의 소오스 및 드레인영역(SR)(DR)을 각각 소오스 및 드레인영역으로 하는 기생 트랜지스터(寄生 transistor)가 형성되게 되고, 이렇게 되면 기생 트랜지스터의 도통에 의해서 MOS트랜지스터(TR)의 소오스(SR) 및 드레인(DR)간에 신호누설경로가 형성되므로 메모리셀의 데이터가 파괴되어 버린다.

위에서 설명한 기생 트랜지스터에 의한 누설경로의 형성을 방지하기 위해서는 게이트 산화막이 되는 산화막(36)의 두께 $b+c$ 를 $1.2\mu m$ 이상으로 할 필요가 있으므로 도랑(GV)의 전체폭 $a+b+c$ 는 $1.6\mu m$ 이상이 되어 기본구조에서 그 폭이 최소한 $0.6\mu m$ 증가되게 된다. 따라서 $2048\text{개} \times 2048\text{개}$ 의 메모리셀을 포함하여서 된 DRAM에 있어서는 전체 칩의 폭이 약 $1.2\text{mm}(=0.6\mu m \times 2048\text{개})$ 만큼 증가하게 된다.

상기한 바와 같이, 반도체기판에 형성시킨 도랑내에 기억 캐패시터(CAP)의 일부를 매립시켜서 된 DRAM에 있어서는 기생트랜지스터에 의한 신호누설의 발생을 방지하기 위해서 칩 면적을 증대시켜야 한다는 문제가 있었는데, 이런 칩 면적의 증대는 DRAM의 집적도에 반비례하기 때문에 고집적화에 심각한 문제로 대두되었다.

일반적으로 주름형 비트선 구성의 기억장치는 쌍을 이루는 비트선이 근접되어 평형으로 배치되므로, 비트선간의 캐패시턴스 불균형이나 비트선이 끼쳐지는 갭가지 요인에 의한 노이즈의 유도등이 개방형 비트선 구성으로 되는 기억장치에 비해서 대폭적으로 억제된다는 잇점이 있다. 그리고 감지증폭기를 배치하기 위해 비트선과 실질적으로 직교하는 방향에 대한 핏치로서 통상적으로는 메모리셀 2개분에 상당하는 핏치를 취할 수 있으므로 패턴설계가 용이하게 된다는 잇점도 있다.

따라서 주름형 캐패시터 셀과 증형 캐패시터 셀 및 도랑형 캐패시터 셀을 주름형 비트선 구성으로 배열하는 것이 요망되고 있지만, 실제로는 전술한 바와 같이 갭가지 문제점이 있어서 실현되지 못하고 있었다.

본 발명은 상기한 문제점을 고려하여 발명된 것으로서, 메모리셀을 주름형 비트선 구성으로 배치하여 고집적화에 적당하도록 된 다이내믹형 반도체기억장치를 제공하고자 함에 그 목적이 있다.

상기한 본 발명의 목적은, 제1메모리셀 영역에 형성된 복수의 메모리셀과, 제1,제2입력단자에 수신되는 입력신호에 따라 출력신호를 발생시키는 감지영역에 형성된 감지증폭기, 상기 감지영역에 관해서 제1메모리셀 영역과 같은 쪽에 형성되어진 제2메모리셀 영역에 형성된 복수의 메모리셀, 상기 제1메모리셀 영역내의 동일행상의 메모리셀에 공통으로 결합되는 한편 대응되는 감지증폭기의 제1입력단자에 결합된 복수의 비트선 및, 상기 제2메모리셀 영역내의 동일행상의 메모리셀에 결합되는 한편 대응되는 감지증폭기의 제2입력단자에 결합된 복수의 비트선등을 구비하여서 이루

어진 다이내믹형 반도체기억장치에 의해서 달성된다.

이하 예시도면을 참조해서 본 발명의 작용·효과를 상세히 설명한다.

제6a도는 본 발명의 1실시예에 따른 DRAM의 일부 평면패턴을 나타낸 도면이고, 제6b도는 제6a도의 D-D선 단면도로서, 이 메모리셀 어레이의 각 구성부분간 접속관계는 제7도 및 제8도에 도시된 바와 같다.

이 실시예에 따른 DRAM에서는 중형 캐패시터 셀이 매트릭스형상으로 배치되어 있으며, 주름형으로 비트선이 구성되고 있다. 즉, 제6a, b도에 도시된 DRAM과 제1a, b도에 도시된 DRAM의 차이점은, 1) 메모리셀 1개분의 핏치로 쌍을 이루는 2본의 워드선이 제조공정상 다른 공정에 의해 2층구조로 형성되었다는 점(예컨대, 비트선(BLA)의 아랫쪽 및 윗쪽에 2본의 워드선(WL

$_1$, WL_0)이 형성되어 있다는 점, 2) 워드선의 길이방향에 8개단위의 메모리셀로 이루어진 메모리셀의 블록중 인접한 교차영역(61)이 설치되어 있고, 메모리셀 블록에 대한 상·하층 워드선간 메모리셀 블록의 하·상층 워드선이 상기 교차영역(61)에 별도로 형성된 접속부(62)에 의해서 각기 접속되어 있다는 점, 3) 각 이 실시예에서는 인접한 메모리셀의 블록이 동일한 워드선에 의해서 선택되는 일은 없으므로, 어떤 메모리셀 블록내에 있는 1본의 비트선과 인접한 메모리셀 블록내의 1본의 비트선으로 비트선의 쌍을 구성할 수 있고, 이렇게 구성되는 비트선의 쌍은 제7도와 제8도에 도시된 것처럼 동일한 감지증폭기에 결합된다. 예컨대 제6a도와 제7도 또는 제8도에 있어서, 메모리셀 블록(MB

$_1$)에 대한 하층 워드선(WL_1)에 의해서 선택되는 메모리셀(MC_1)에 비트선($BL_{11} \sim BL_{18}$)이 접속되고 있다. 또한 마찬가지로 인접한 메모리셀 블록(MB

$_2$)에 대한 하층 워드선(WL_0)에 의해서 선택되는 메모리셀(MC_2)에는 비트선($BL_{21} \sim BL_{28}$)이 접속되어 있다. 이와 같이 배열된 메모리셀 블록(MB

$_1$)에 대한 비트선($BL_{11} \sim BL_{18}$)중의 한 비트선과 메모리셀 블록(MB $_2$)에 대한 비트선($BL_{21} \sim BL_{28}$)중의 한 비트선으로 비트선의 쌍을 구성해서 한 개의 감지증폭기(SA)에 결합시킬 수 있는 바, 예컨대 비트선(BL_{11})(BL_{21})의 쌍을 한 감지증폭기(SA)에 결합시키고 비트선(BL_{12})(BL_{22})의 쌍을 다른 감지증폭기(SA)에 결합시키므로써 제7도에 도시된 접속도와 같이 주름형 비트선의 구성을 실현할 수 있게 된다.

또한 제7도와는 달리, 비트선(BL_{11})(BL_{22})의 쌍과 비트선(BL_{12})(BL_{21})의 쌍에 대한편, 상층 워드선(제6b도의 WL_0)의 재질로서는 비트선(제1a도 $_8$)과 마찬가지로 실리사이드나 폴리사이드, 고용점 금속, 알루미늄등을 이용하고 있다.

또한 하층워드선(제6b도의 WL_1)으로 메모리셀내의 트랜지스터 게이트전극을 형성시키지 않고, 각 게이트전극과 하층 워드선을 별도로 형성시켜서 양자를 접속공으로 접속시켜도 좋은 바, 요는 양자를 전기적으로 접속시키기만 하면 된다. 또한 상기 실시예에서는 비트선의 윗쪽에 상층 워드선을 형성시켰지만, 양자의 상하관계를 역으로 구성해도 좋다.

상기와 같은 실시예의 DRAM에 있어서는 주름형 비트선의 구성을 실현해야 할 메모리셀 1개분의 핏치에 2본의 워드선을 배선하는 것인 바, 이 2본의 워드선을 동일층내에 형성시키는 것은 아니고 제조공정상 다른 공정에서 2층구조를 입체적으로 적층시키는 것이다. 그리고 아랫쪽의 워드선은 메모리셀의 게이트전극으로 사용하던가 또는 별도의 게이트전극에 접속시키고, 윗쪽의 워드선은 간단한 배선으로 이용하고 있다.

그리하여 워드선에 연한 방향에 있어서 적당수(예컨대 8개)의 메모리셀마다 상하의 워드선위치를 바꿈으로써, 제1의 워드선에 의해 하나 걸러씩 배치된 메모리셀 블록(MB $_1$)중의 동일 행(row)상에 있어서의 메모리셀을 선택하고, 제2의 워드선에 의해 남겨진 메모리셀 블록(MB $_2$)중의 동일 행상에 있어서의 메모리셀을 선택할 수 있다. 이에따라 제1, 제2 워드선에 의해 접속되는 각각의 메모리셀 블록으로부터 쌍을 이루는 비트

상기 실시예에서는 소면적으로 대용량을 이루는 메모리셀의 고집적화에 적합한 중형 캐패시터셀에 대해 설명했지만, 도량형 캐패시터 셀을 이용한 DRAM에도 본 발명에 따른 주름형 비트선을 구성할 수 있다.

제9도에는 제2a, b도에 도시된 종래의 메모리셀과 상기 실시예에 따른 중형 캐패시터 셀의 크기를 비교하기 위해서, 어떤 일정한 캐패시터 용량을 실현하기 위해 필요한 메모리 셀의 점유면적과 패턴설계 최소치수의 관계를 나타낸 그래프이다. 이 도면에서 알 수 있는 것처럼, 본 실시예에 따른 중형 캐패시터 셀의 점유면적은 실선으로 나타낸 바와 같이 특히 최소치수가 $1\mu m$ 보다 작은 경우에 종래(점선)의 점유면적 변화도에 비해 대폭적으로 작게 되므로, 이 중형 캐패시터 셀은 고밀도화에 적합하다 할 것이다.

다음에는 본 발명의 다른 실시예를 설명한다.

제10a도는 다른 실시예의 평면패턴도이고, 제10b도는 제10a의 E-E선 절단 단면도로서, 이 실시예에 따른 반도체기억 장치는 p형 실리콘으로 이루어진 반도체기판(100)상에 워드선(WL₁~WL₈)이 종방향으로 배열되고, 비트선(BL₁~BL₈)이 횡방향으로 배열되어 있으며, 이중 워드선(WL₁, WL₄, WL₅, WL₈)과 비트선(BL₁, BL₂, BL₃, BL₄)의 각 교점 및 워드선(WL₂, WL₃, WL₆, WL₇)과 비트선(BL₅, BL₆, BL₇, BL₈)의 각 교점에 대응되는 위치에는 제10a도의 굵은 선으로 표시된 메모리셀 영역(102)에 형성되어진 MOS트랜지스터가 각각 배치되어 있다.

또한, 워드선(WL₂, WL₃, WL₆, WL₇)과 비트선(BL₁, BL₂, BL₃, BL₄)의 각 교점 및 워드선(WL₁, WL₄, WL₅, WL₈)과 비트선(BL₅, BL₆, BL₇, BL₈)의 각 교점에 대응되는 위치에는 1점쇄선으로 둘러싸여 빗금쳐진 캐패시터영역(103)에 형성되어진 MOS캐패시터가 각각 배치되어 있다.

상기 캐패시터영역(103)은 캐패시터전극(104)으로 피복되어 있고, 또한 각 MOS트랜지스터 소오스 영역은 인접한 MOS캐패시터에 접속되며, 각 MOS트랜지스터의 드레인 영역은 접속공(105)을 매개해서 비트선(BL₁~BL₈)중 대응되는 비트선에 접속되어 있다. 그리고 반도체기판(100)에는 도랑(GR

₁~GR₃)이 형성되어 있고, 이 도랑(GR₁~GR₃)의 바닥에는 P⁺형 불순물영역(107)이 형성되어 있다. 또한 이들 도랑(GR

₁~GR₃)내에는 산화막(108)이 매립되어 있고, 각 도랑(GR₁~GR₃)의 사이에 형성되어진



부 영역은 제10a도에서 굵은 선으로 둘러싸인 메모리셀영역(102)에 대응되는 것이다.

예컨대 이 메모리셀 영역(102)의 워드선(WL₈)과 비트선(BL₃)(BL₄)의 교점에 대응되는 위치의



부 영역 상면에는 각각 워드선(WL₈)을 게이트전극으로 하는 MOS트랜지스터(도시되어 있지 않음)가 형성되어 있다. 또한 워드선(WL

₈)과 비트선(BL₅)(BL₆)의 교점에 대응되는 위치에는 제10a도중 일점쇄선으로 둘러싸여 빗금쳐진 캐패시터 영역(103)이 대응되어 있다. 이 캐패시터영역(103)내의



부영역 상면 및 측면에는 각각



부 영역 상면 및 측면에는 n-형 불순물영역(109)과 산화막(110) 및 다결정실리콘의 캐패시터전극(104)으로 이루어진 MOS캐패시터가 구성되어 있는 바, 캐패시터영역(103)내의 도랑(GR₃)내에는 다결정실리콘이 퇴적되어 상기 캐패시터전극(104)이 형성된다. 그리고 상기 캐패시터전극(104)과 워드선(WL

₁~WL₈)의 사이 및 워드선(WL₁~WL₈)과 비트선(BL₁~BL₈)의 사이에는 각각 층간 절연막(111)(112)이 형성되어 있다.

또한, 예컨대 비트선(BL₄)(BL₅)사이의 메모리셀 분리영역에 형성된 도랑(GR₂)에 있어서, 캐패시터영역(103)측에는 캐패시터전극(104)의 일부가 형성되어 있다. 여기서 비트선(BL

₃)(BL₄)간의 도랑(GR₁)이나 비트선(BL₅)(BL₆)간의 도랑(GR₃)의 폭이 각각 0.8 μ m인것임에 대해, 메모리셀 분리영역의 도랑(GR

₂)은 1.6 μ m의 넓은 폭을 갖추고 있다.

다음에는 비트선(BL₁~BL₈)과 감지증폭기(SA₁~SA₄)의 접속관계가 제11도에 도시되어져 있는 바, 이도면에서 ○표시는 MOS 트랜지스터가 배치된 위치를 나타내고, x표는 MOS 캐패시터가 배치된 위치를 나타낸다. 메모리셀의 데이터 신호를 전달하는 비트선(BL1-BL8)은 도시된 순서대로 배열되어 있고, 워드선(WL1,WL4,WL5,WL8)의 각각과 비

BEST AVAILABLE COPY

트선(BL1-BL4)의 교점 및 워드선(WL2,WL3,WL6,WL7)의 각각의 비트선(BL5-BL8)의 교점에 있어서, MOS캐패시터의 전하를 충방전시키기위한 MOS 트랜지스터가 비트선(BL1-BL8) 중 대응되는 한비트선에 접속되어 있다 예컨대 워드선(WL4)을 선택한다면, 비트선(BL1-BL4)에 각각 결합된 4개의 메모리셀의 정보가 독출된다. 이 정보는 쌍을 이루는 비트선(BL1 과 BL8)(BL2와BL7)(BL3과BL6)(BL1-

상기와 같이, 본 실시예에 있어서는 8열의 비트선(BL1-BL8)을 포함하는 메모리셀 그룹에 관해 제1열로부터 제4열까지의 비트선(BL1-BL4) 아래에 형성된 메모리셀의 MOS 트랜지스터와 MOS캐패시터는 각각 실질적으로 1라인상에 배열되도록 상호 위치가 맞추어져 있고, 또한 제5열로부터 제8열까지의 비트선(BL5-BL8)아래에 형성된 메모리셀의 MOS 트랜지스터와 MOS 캐패시터도 각각 실질적으로 1라인상에 배열 되도록 상호 위치가 맞추어져 있다. 제4열의 비트선(BL4)의 하측에 있는 메모리셀의 MOS 트랜지스터와 MOS 캐패시터는 제5열의 비트선(BL5)의 하측에 있는 메모리셀의 MOS 트랜지스터와 MOS 캐패시터에 대해서 비트선이 연장되는 방향에 관하여 그 위치가 어긋나 있다. 이 때문에 인접한 비트선간의 메모리셀 분리영역에 형성된 도랑중 비트선(BL4)(BL5)간의 도랑(GR2)에 있어서 제5도로 설명한 기생 트랜지스터에 의한 누설경로가 형성될 위험이 있게 된다. 이러한 기생 트랜지스터로 말미암은 누설 경로의 형성을 방지하기 위해서는 비트선(BL4)(BL5)간의 도랑(GR2)만을 폭이 넓게 형성시키면 된다. 다른도랑의 폭은 패터닝에 관한 한계까지 좁게할 수 있는데, 즉 $0.8\mu\text{m}$ 규칙을 이용해서 반도체기억장치를 제조하는 경우, 비트선(BL1-BL8) 중 인접한 2열의 비트선간의 도랑은 $1.6\mu\text{m}$ 의 폭을 갖도록 형성된 비트선(BL4)(BL5)간의 도랑 (GR2)을 제외하고 모두 $0.8\mu\text{m}$ 의 폭을 갖도록 형성되어 진다. 인접한 메모리셀 그룹간의 도랑폭이 $0.8\mu\text{m}$ 인 것을 고려한다면, 8열 비트선(BL1-BL8)으로 이루어진 1개의 메모리셀 그룹에 관한 도랑폭의 총합은

$$0.8\mu\text{m} \times 7 + 1.6\mu\text{m} = 7.2\mu\text{m}$$

이 된다. 이것은 메모리셀 1개당 평균 도랑의 폭이

$$7.2\mu\text{m}/8=0.9\mu\text{m}$$

이라는 것을 뜻하는 바, 종래의 도랑폭이 $1.6\mu\text{m}$ 인 것과 비교해 볼때 메모리셀 1개당 $0.7\mu\text{m}$ 감소되었다는 것을 의미한다. 따라서 2048개×2048개의 메모리셀로 이루어진 4K 비트의 DRAM을 고려한다면,

$$0.7\mu\text{m} \times 2048\text{개} \approx 1.4\text{mm}$$

만큼 칩침의 폭을 감소시킬 수 있게 되는 것이다. 따라서 칩의 사이즈를 증가시키지 않고도 집적도를 높힐 수 있게된다.

상기한 실시예에 따르면, 캐패시터전극(104)상에 층간절연막(111)을 형성시킨 후 캐패시터영역(103)을 제외한 메모리셀 영역(102)의



부 영역 상면을 노출시키는 PEP공정에 있어서, 패터닝을 위한 마스크구성이 간단하게 됨과 아울러, 마스크구성의 최대허용오차의 2배인 구성여유를 필요로 하는 장소가 감소되어진다. 즉, 종래의 반도체기억장치에 있어서는 모든 도랑에 대해 마스크를 맞출 필요가 있었기 때문에 각 도랑마다 구성 여유가 필요했으며 이로 말미암아 그 부분만큼 메모리셀의 폭을 넓게 할 필요가 있었다. 그러나 본 실시예에서는 이런 구성 여유를 필요로 하는 장소가 각 메모리셀의 그룹당 1곳뿐이므로 칩전체에 대한 여유폭은 1/8 감소되어 지고, 그만큼 칩의 폭을 감소시킬 수가 있다. 이리하여 칩의 사이즈를 증가시키지 않고도 집적도 및 원료 대 제품비를 향상시킬 수 있다. 그 결과 각 메모리셀 그룹에 속하는 비트선의 열의 수효가 많아질 수 있고, 또한 집적도도 현저하게 높아지게 된다.

더우기 본 실시예에 따르면 감지증폭기(SA)의 설계가 용이해지는 바, 즉 종래의 반도체기억장치에 있어서도 쌍을 이루는 비트선을 일직선상에 형성시키고 그 중앙부에 감지증폭기를 형성시키므로써 본 실시예와 마찬가지로 메모리셀을 배치할 수 있지만, 한편, 상기 실시예에서도 제10b도에 나타난 것처럼 기생 트랜지스터에 의한 신호누설의 발생을 방지하기 위해서 비트선(BL4)(BL5)간에 $1.6\mu\text{m}$ 정도를 충분히 넓은 폭을 가지는 도랑(GR2)을 형성시켰지만, 이 도랑(GR2)대신 제12도에 도시한 것처럼 비트선(BL4)(BL5)간에 복수열의 도랑, 예컨대 도랑(GRx1)(GRx2)을 형성시켜도 된다. 이때 상기 도랑(GRx1)(GRx2)은 도랑(GR2)에 비해 그 폭이 좁게 된다. 전술한 도랑(GR2)은 폭이 넓게 형성되어 있기 때문에 산화막(108)을 이 도랑(GR2) 내부 전체에 매립하기 어려운 점이 있다. 그러나 적당한 폭의 도랑 (GRx1)(GRx2)을 사용하면 상기한 문제가 해결되게 된다.

한편, 상기 실시예에서는 제11도에 도시한 것처럼 비트선(BL1-BL8)과 감지증폭기(SA1-SA4)가 결선되게 되어 있지만, 양자간의 결선은 이에 한정되지 않고 비트선(BL1-BL4)중 선택된 1본과 비트선(BL5-BL8)중 선택된 1본으로 비트

선의 쌍을 구성하고, 이러한 쌍을 감지증폭기(SA1-SA4)에 결합시켜도 좋다. 예컨대 제13도에 도시한 것처럼 비트선(BL1과 BL5)(BL2와 BL6)(BL3과 BL7)(BL4와 BL8)을 각각 쌍으로 하여 감지증폭기(SA1-SA4)에 접속시켜도 좋다.

더우기, 상기 실시예에서는 각 메모리셀 그룹에 대해 4쌍의 비트선(BL1-BL8)을 설치하였지만, 이 비트선의 수는 4쌍에만 한정되는 것은 아니고 2쌍이상이면 된다. 일반적으로 각 메모리셀 그룹의 비트선 수요가 증가되면 될수록 본 발명의 효과는 더 커지

이상에서의 실시예는 본 발명의 취지를 구현하기 위한 몇몇예인 바, 본 발명은 이에만 한정되는 것은 아니고, 예컨대 제7도 및 제8도에 나타난 실시예에 있어서는 메모리셀 블록(MB1)(MB2)으로 부터의 4쌍의 비트선에 결합되는 4개의 감지증폭기(SA)가 플립플롭 트랜지스터를 주된 요소로 하여 구성되어 있고, 이 플립플롭 트랜지스터의 게이트방향이 각 비트선(BL11, BL12, BL21, BL22)등이 연장된 방향과 직교하는 방향으로 배열되어 있다. 그러나 이들 4개의 감지증폭기를 제14도에 나타난 것처럼 비트선(BL11)(BL21)등이 연장된 방향으로 배열하거나, 4개의 감지증폭기를 포함하는 감지증폭기 그룹을 비트선(BL11)(BL12)등이 연장된 방향과 직교하는 방향으로 배열할 수도 있다.

이상에서 설명한 바와 같이, 본 발명에 있어서는 메모리셀 영역에 형성된 복수의 메모리셀과 감지영역에 형성된 감지증폭기, 이 감지영역에 관하여 상기 제1메모리셀영역과 같은쪽에 배치된 제2메모리셀 영역에 형성된 복수의 메모리셀등으로 구성된 반도체기억장치가 제공되는 바, 이러한 구성에 의해서 중형 캐패시터셀이나 주름형 캐패시터셀등의 고집적화에 적합한 메모리셀을 주름형 비트선 구성으로 용이하게 배치할 수 있는 효과를 거둘 수 있다.

(57)청구의 범위

청구항1

1개의 트랜지스터와 1개의 캐패시터로 형성된 메모리셀 복수개를 행렬배치해서 이루어진 다이내믹형 반도체기억장치에 있어서, 제1메모리셀 영역에 형성된 복수의 메모리셀과, 제1, 제2입력단자로 수신되는 입력 신호에 따라서 출력신호를 발생시키는 감지영역에 형성된 N 개의 감지증폭기, 상기 감지영역에 관해서 상기 제1메모리셀 영역과 같은 쪽에 형성되어진 제2메모리셀 영역에 형성된 복수의 메모리셀, 상기 제1메모리셀 영역내의 동일 행열상의 메모리셀에 공통으로 결합되는 한편, 대응되는 감지증폭기의 제1입력단자에 결합된 사분의 비트선, 상기 제2메모리셀 영역내의 동일 행열상의 메모리셀에 공통으로 결합되는 한편 대응되는 감지증폭기의 제2입력단자에 결합된 N분의 비트선, 상기 제1메모리셀 영역내의 동일 열상의 메모리셀에 결합된 복수의 워드선 및, 상기 제2메모리셀 영역내의 동일 열상의 메모리셀에 결합된 복수의 워드선등을 구비하여 이루어진 다이내믹형 반도체기억장치.

청구항2

제1항에 있어서, 각 메모리셀은 MOS 트랜지스터와 중형 캐패시터로 이루어진 중형 캐패시터 셀인 것을 특징으로 하는 다이내믹형 반도체기억장치.

청구항3

제2항에 있어서, 각 메모리셀중 제1메모리셀 영역내의 메모리셀에 결합되는 각 워드선은 제1메모리셀 영역을 가로지르도록 형성된 제1도전층과, 제2메모리셀 영역을 가로지르도록 형성되는 동시에 상기 제1도전층에 결합되는 제2도전층으로 구성된 것이고, 상기 제2메모리셀 영역에 형성되어진 메모리셀에 결합되는 각 워드선은 제1도전층의 상층에 실질적으로 평행하게 형성되며 상기 제3도전층에 결합되는 제4도전층으로 구성되는 것을 특징으로 하는 다이내믹형 반도체기억장치.

청구항4

제3항에 있어서, 제1, 제4도전층은 실질적으로 동일한 평면상에 형성되는 금속층인 것을 특징으로 하는 다이내믹형 반도체기억장치.

청구항5

제1항에 있어서, 각 메모리셀은 인접한 2분의 비트선간에 걸쳐있는 분리영역에 형성되어진 도랑내에 전극의 일부가 형성된 캐패시터와, 이 캐패시터에 결합된 MOS 트랜지스터를 포함하고 있는 주름형 캐패시터셀로 구성된 것을 특징으로 하는 다이내믹형 반도체기억장치.

청구항6

제5항에 있어서, 각 메모리셀에 관한 제1, 제2메모리셀 영역간에는 비트선과 평행하게 연장되고 또한 제1, 제2메모리셀 영역내에 형성된 도랑보다도 폭이 더 넓은 1개의 도랑이 형성되어 있는 것을 특징으로 하는 다이내믹형 반도체기억장치.

청구항7

제5항에 있어서, 각 메모리셀에 관한 제1, 제2메모리셀 영역간에는 비트선과 실질적으로 평행하게 연장되어 있는 복수의 도랑이 형성되어 있는 것을 특징으로 하는 다이내믹형 반도체기억장치.

청구항8

제1항에 있어서, 각 메모리셀이 도랑형 메모리셀로 구성된 것을 특징으로 하는 다이내믹형 반도체기억장치.

청구항9

제1항에 있어서, 감지증폭기가 비트선이 연장되어 있는 방향과 평행한 방향으로 배치된 것을 특징으로 하는 다이내믹형 반도체기억장치.

청구항10

1개의 트랜지스터와 1개의 캐패시터로 형성된 메모리셀 복수개를 행렬배치해서 이루어진 다이내믹형 반도체기억장치에 있어서, 1라인 상에 교대로 배열되며 복수의 메모리셀이 형성되어 있는 제1, 제2메모리셀 영역과, 제1, 제2입력단자에 수신되는 입력신호에 따라 출력신호를 발생시키는 감지영역에 형성되어진 감지증폭기, 제1메모리셀 영역내의 동일한 열상의 메모리셀에 결합되고 또한 대응되는 감지증폭기의 제1입력 단자에 결합된 복수의 비트선, 제2메모리셀 영역내의 동일한 행열상의 메모리셀에 결합되고 또한 대응되는 감지증폭기의 제2입력단자에 결합된 복수의 비트선, 상기 제1메모리셀 영역내의 동일한 열상의 메모리셀에 결합된 복수의 워드선 및, 상기 제2메모리셀 영역내의 동일한 열상의 메모리셀에 결합된 복수의 워드선들을 구비하여서 이루어진 다이내믹형 반도체기억장치.

청구항11

제10항에 있어서, 각 메모리셀을 MOS 트랜지스터와 중형 캐패시터로 이루어진 중형 캐패시터 셀인 것을 특징으로 하는 다이내믹형 반도체기억장치.

청구항12

제11항에 있어서, 각 메모리셀중 제1메모리셀 영역내의 메모리셀에 결합되는 각 워드선은 제1메모리셀영역을 가로지르도록 형성된 제1도전층과 제2메모리셀 영역을 가로지르도록 형성되는 동시에 상기 제1도전층에 결합되는 제2도전층으로 구성된 것이고, 상기 제2메모리셀 영역에 형성되어진 메모리셀에 결합되는 각 워드선은 제1도전층의 상측에 실질적으로 평행하게 형성되는 제3도전층과, 제2도전층의 하측에 실질적으로 평행하게 형성되며 상기 제3도전층에 결합되는 제4도전층으로 구성되는 것을 특징으로 하는 다이내믹형 반도체기억장치.

청구항13

제12항에 있어서, 제1 제4도전층을 실질적으로 동일한 평면상에 형성되고, 제2, 제3도전층도 실질적으로 동일한 평면상에 형성되는 금속층인 것을 특징으로 하는 다이내믹형 반도체기억장치.

청구항14

제10항에 있어서, 각 메모리셀은 인접한 2분의 비트선간에 걸쳐있는 분리영역에 형성되어진 도랑내에 전극의 일부가 형성된 캐패시터와, 이 캐패시터에 결합된 MOS 트랜지스터를 포함하고 있는 주름형 캐패시터셀로 구성된 것을 특징으로 하는 다이내믹형 반도체기억장치.

청구항15

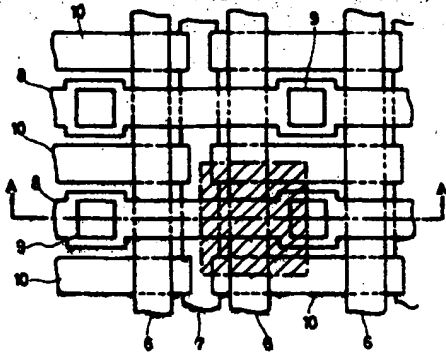
제14항에 있어서, 각 메모리셀에 관한 제1, 제2메모리셀 영역간에는 비트선과 평행하게 연장되고 또한 제1, 제2메모리셀 영역내에 형성된 도랑보다도 폭이 더 넓은 1개의 도랑이 형성되어 있는 것을 특징으로 하는 다이내믹형 반도체기억장치.

청구항16

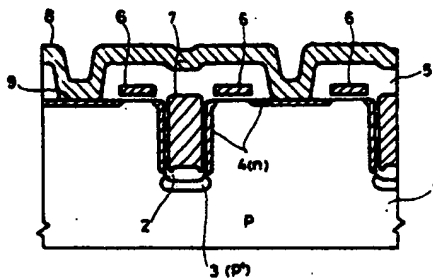
제14항에 있어서, 각 메모리셀에 관한 제1, 제2메모리셀 영역간에는 비트선과 실질적으로 평행하게 연장되어 있는 복수의 도랑이 형성되어 있는 것을 특징으로 하는 다이내믹형 반도체기억장치.

도면

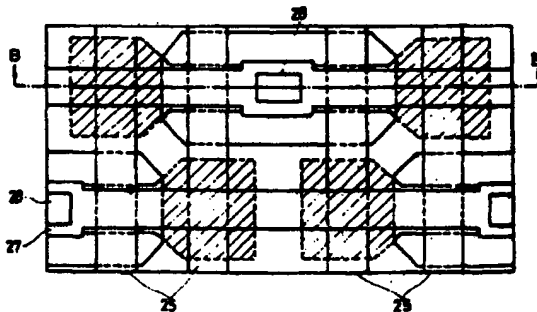
도면1-A



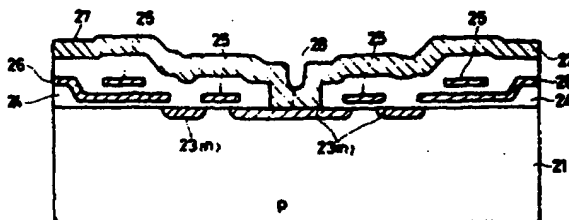
도면1-B



도면2-A

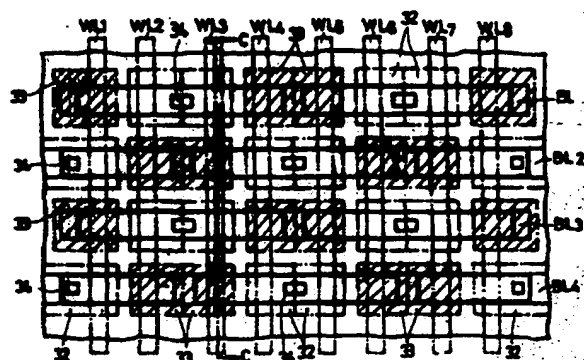


도면2-B

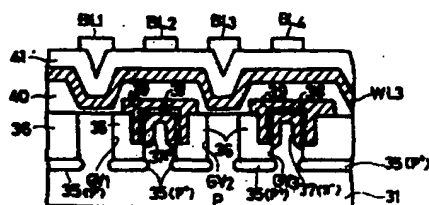


도면3-A

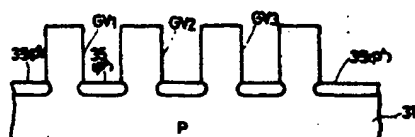
BEST AVAILABLE COPY



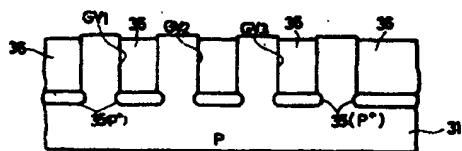
도면3-B



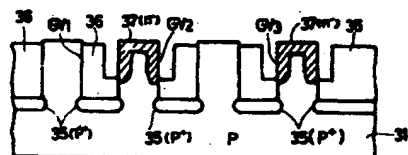
도면4-A



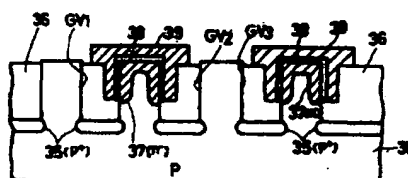
도면4-B



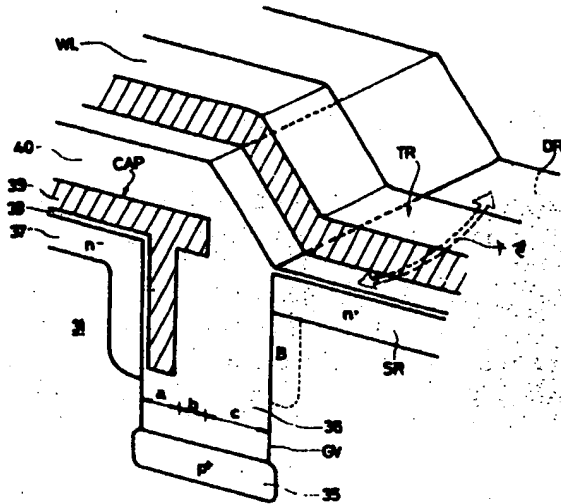
도면4-C



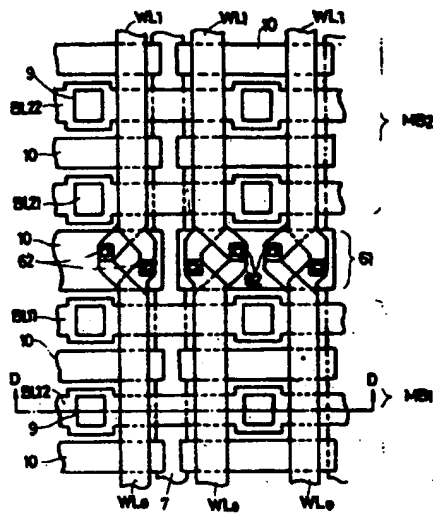
도면4-D



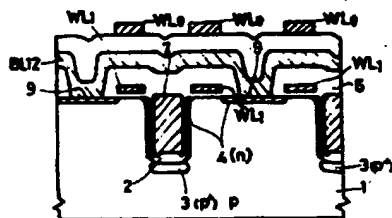
도면5



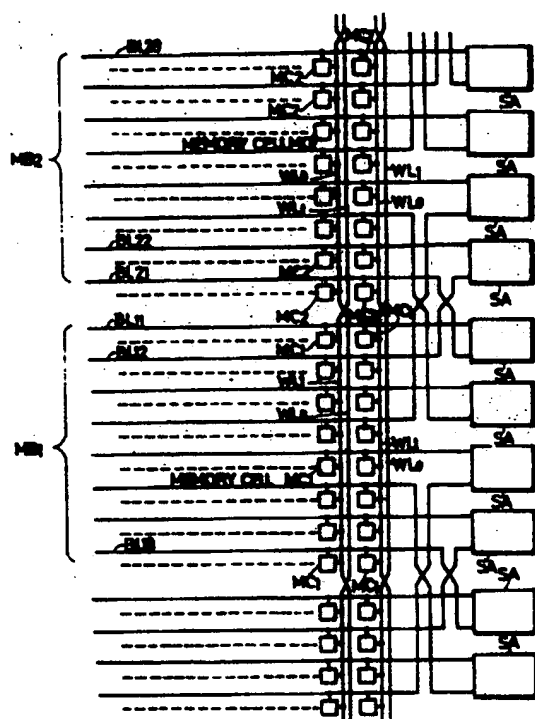
도면 6-A



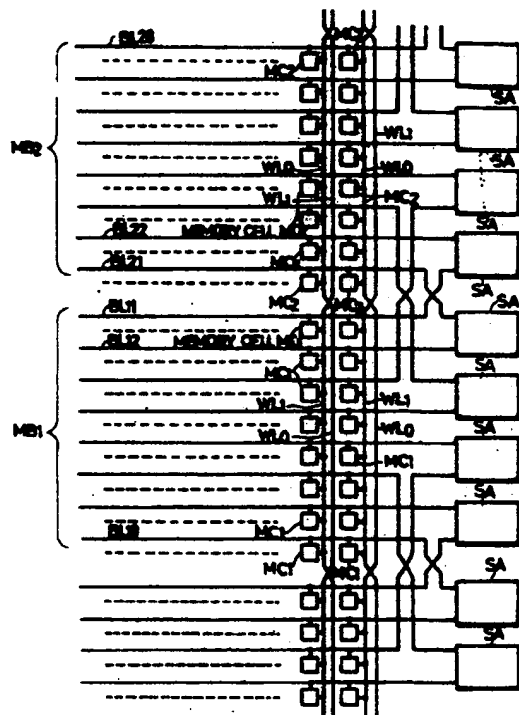
도면 6-B



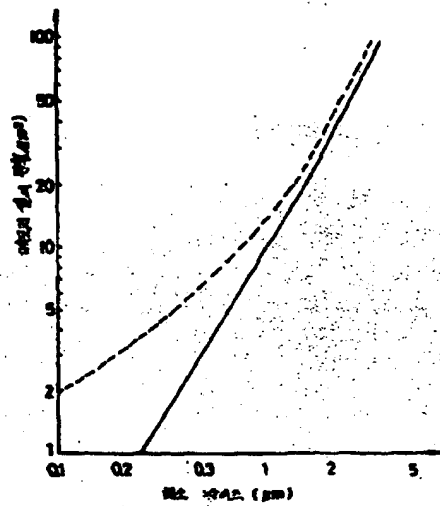
도면7



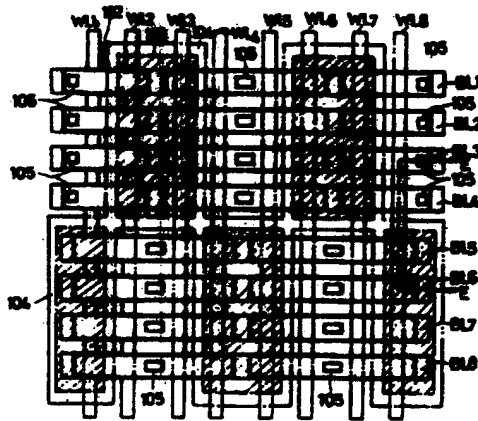
도면8



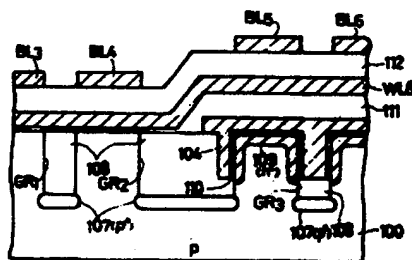
도면9



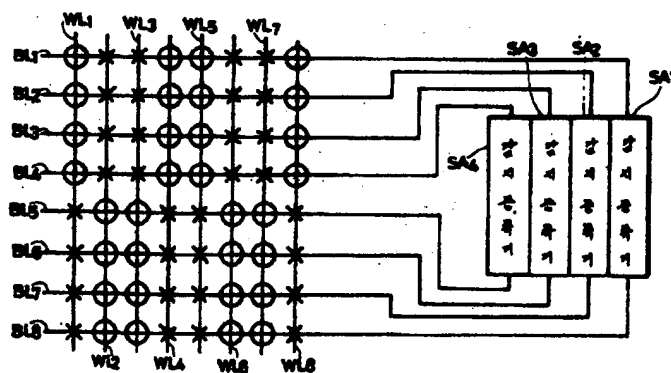
도면10-A



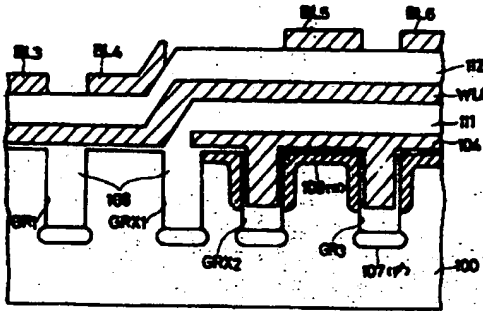
도면10-B



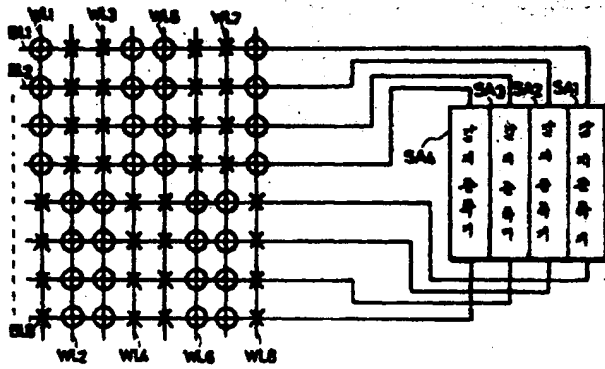
도면11



도면12



도면13



도면14

